

SPI

Interfaz Periférica en serie

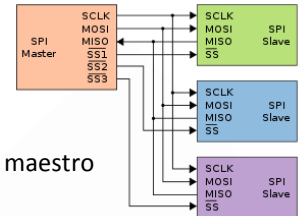


INTERFAZ PERIFÉRICA EN SERIE (SPI)

El protocolo de comunicación SPI (Serial Peripheral Interface) es un estándar de comunicaciones, un BUS de 3 líneas, nos sirve para controlar casi cualquier dispositivo electrónico digital que acepte un flujo de bits serie regulado por un reloj, a esto se le conoce como, comunicación sincrónica.

El SPI transmite y sincroniza datos mediante 4 señales:

- SCLK (clock); Es el pulso que marca la sincronización. Con cada pulso de este reloj, se lee o se envía un bit. También llamado TAKT (en Alemán).
- MOSI (master out, slave in); El maestro envía datos a el esclavo.
- MISO (master in, slave out); El esclavo envía datos al maestro.
- SS (select slave); Selecciona el esclavo con el que se mantendrá la comunicación, el maestro le indica que se active.



La cadena de bits es sincronizada por la línea de reloj de este bus, un bit es transferido por cada ciclo de reloj, al iniciar la transmisión el maestro debe bajar el SS a cero, lo que le indica al esclavo que debe activarse para empezar la transmisión.

La mayoría de las interfaces SPI tienen 2 bits de configuración, llamados CPOL (Clock Polarity = Polaridad del Reloj), determina si el estado Idle de la línea de reloj está en bajo (CPOL=0) o alto (CPOL=1), y CPHA (Clock Phase = Fase del reloj), determina en que filo de reloj los datos son desplazados hacia dentro o hacia fuera.

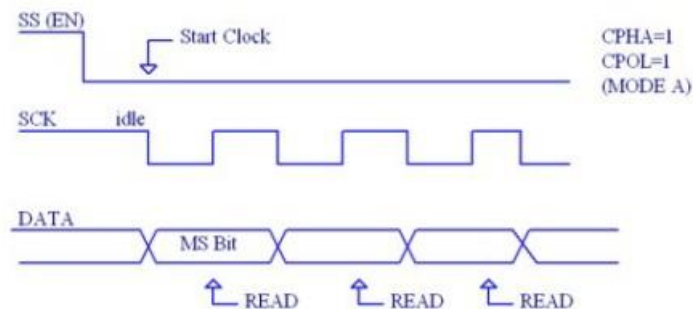
Como cada bit tiene dos estados, se pueden crear 4 combinaciones que son incompatibles entre sí, por lo que para que dos dispositivos SPI puedan comunicarse, deben tener la misma polaridad y fase, a esto le llamaremos Modo.

Cuando CPOL está en un 0 lógico y ningún dato está siendo transferido, el maestro mantiene SCLK en bajo, si CPOL está en 1 el maestro desocupa la línea SCLK alta.

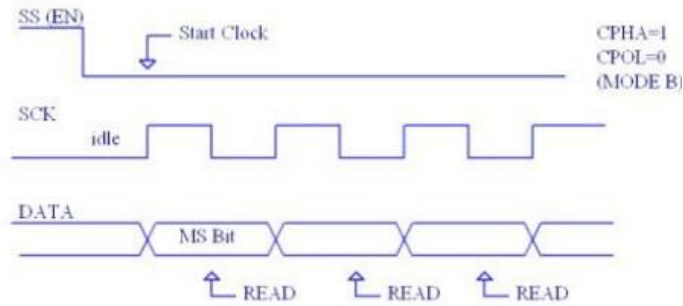
Cuando CPHA está en 1, los datos se enviarán sobre la línea MOSI, que vendría siendo el segundo filo del reloj, pero si CPHA está en 0, los datos comienzan a enviarse por el primer filo del reloj (SCLK) y las transferencias subsecuentes dentro del byte ocurren en cada filo del reloj.

COMBINACIONES:

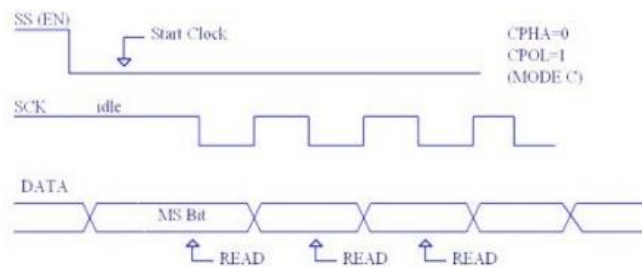
- Si CPHA = 1 y CPOL = 1 los datos se colocan sobre la línea cuando el flanco del reloj es descendente y se leen cuando el flanco del reloj es ascendente.



- Con $CPHA = 1$ y $CPOL = 0$ los datos se ponen en la línea cuando el flanco del reloj es ascendente y se leen cuando es descendente.



- Cuando $CPHA = 0$ y $CPOL = 1$ el primer borde de reloj baja y los bits de datos subsiguientes se leen en cada filo de bajada sobre la línea de reloj.



- Si $CPHA = 0$ y $CPOL = 0$ el primer filo de reloj ascendente y los bits de datos subsiguientes se leen en cada filo ascendente de reloj. Cada nuevo bit se coloca en la línea cuando el filo del reloj baja.

